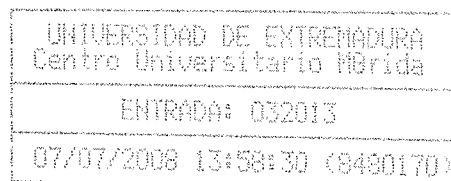




PROGRAMA DE LA ASIGNATURA

Curso académico 2008-2009

| Identificación y características de la asignatura | | | |
|--|---|--------------------------------|------------------------------------|
| Denominación | Estructura de computadores. | | |
| Curso y titulación | Tercer curso de ITT (225 créd. LRU) | | |
| Área | Arquitectura y Tecnología de Computadores | | |
| Departamento | Tecnología de Computadores y Comunicaciones | | |
| Tipo | Común (troncal) | Créditos LRU | 6 |
| Temporalidad | Primer cuatrimestre | Créditos ECTS | 4,8 (120 horas) |
| Coef. practicidad | 2 (Medio-bajo) | Coef. agrupamiento | 4 (Medio-alto) |
| Distribución ECTS | | | |
| Grupo grande 33 % (40 horas) | Seminario-Lab. 11 % (13 horas) | Tutorías ECTS 1 % (1 horas) | No presenciales 55 % (66 horas) |
| Descriptorios (según BOE) | | | |
| Otros tipos de ordenadores. Sistemas operativos. | | | |
| Profesores | | | |
| Juan Angel García Martínez | | | |
| Despacho | 12 | | |
| Medio de contacto | Tel.: 924387008 Ext.2531 | | |
| | | | jangelgm@unex.es |





Objetivos y/o competencias

Relacionados con competencias académicas y disciplinares

| Descripción (CET) | Vinculación |
|--|--------------------|
| 1. Conocer la definición y el ámbito del paralelismo y calcular el incremento o disminución de prestaciones en un computador, y los factores que influyen en la determinación de la misma. | 7, 9 |
| 2. Diseñar e implementar técnicas para explotar el paralelismo a nivel de instrucciones y a nivel de datos en un procesador. | 6, 9 |
| 3. Conocer la segmentación de cauce como técnica básica hardware para el incremento de rendimiento en un computador. | 6, 7, 9 |
| 4. Diferenciar los motivos por los que surgen las arquitecturas súperescalares, los problemas que plantean y las técnicas para abordar las soluciones. | 6, 9 |
| 5. Comprender los procesadores VLIW como alternativa a los procesadores súperescalares. | 6, 9 |
| 6. Analizar distintas implementaciones de procesadores súperescalares diferenciando entre ellos. | 6, 9 |
| 7. Entender el procesamiento vectorial, justificar su interés y enumerar las principales máquinas vectoriales. | 6, 9 |
| 8. Elegir arquitecturas de procesadores que implementen los diferentes tipos de paralelismo. | 6, 9 |
| 9. Identificar en un procesador segmentado los problemas que surgen y las soluciones que se utilizan, para lograr un incremento del rendimiento | 6, 7, 9 |
| 10. Programar una arquitectura vectorial, utilizando su capacidad de procesamiento vectorial de datos. | 6, 7, 9 |
| 11. Evaluar las diferentes técnicas ILP en un procesador segmentado, cómo se aplica, cómo se implementa. | 6, 7, 9 |

Relacionados con otras competencias personales y profesionales

| Descripción | Vinculación (CET) |
|---|--------------------------|
| Véase el apéndice A con las Competencias Específicas de la Titulación | |

Temas y contenidos
(especificar prácticas, teoría y seminarios, en su caso)

Bloques de contenido teórico y/o temas

1. Introducción. Paralelismo e incremento de prestaciones.

- 1.1. Concepto de arquitectura.
- 1.2. Evolución y prestaciones.
- 1.3. El paralelismo en las arquitecturas.
- 1.4. Evaluación de prestaciones

2. Procesadores segmentados.

- 2.1. Introducción y definición.
- 2.2. Dependencias entre instrucción.
- 2.3. Rendimiento procesador segmentado.
- 2.4. Riesgos estructurales.
- 2.5. Riesgos de datos.
- 2.6. Riesgos de control.
- 2.7. Operaciones multiciclo.
- 2.8. Interrupciones en un procesador segmentado.
- 2.9. Ejercicios.

3. Procesadores superescalares.

- 3.1. Introducción.
- 3.2. Paralelismo a nivel de instrucciones.
- 3.3. Procesamiento superescalar de instrucciones.
- 3.4. Instrucciones de salto.
- 3.5. Interrupciones en procesadores escalares.
- 3.6. Ejemplos de procesadores escalares.
- 3.7. Ejercicios.

4. Procesadores VLIW.

- 4.1. Introducción.
- 4.2. Aprovechamiento del paralelismo VLIW
- 4.3. Recursos de apoyo al compilador.
- 4.4. Ejemplos VLIW
- 4.5. Ejercicios.

5. Procesadores vectoriales.

- 5.1. Introducción.
- 5.2. Arquitectura vectorial
- 5.3. Sistema de memoria.
- 5.4. Rendimiento.
- 5.5. Eficiencia del procesamiento vectorial
- 5.6. Ejercicios.

Bloques de contenido práctico.

EX

COMPUTADORES SEGMENTADOS(DLX)**Prácticas con el simulador DLX****OBJETIVO**

Conocer el funcionamiento de los procesadores segmentados, el rendimiento de dichos procesadores, los conceptos de riesgos, así como las soluciones que existen para evitarlos, mediante el simulador DLX.

COMPUTADORES SUPERESCALARES (DLXView)**Prácticas con el simulador DLXview****OBJETIVO**

Conocer la programación de computadores superescalares y de técnicas avanzadas de procesamiento superescalar.

COMPUTADORES VECTORIALES (DLXV)**Prácticas con el simulador DLXV****OBJETIVO**

Conocer la programación de computadores vectoriales y sus mejoras de rendimiento frente a computadores escalares. Para el desarrollo de la práctica usaremos el simulador DLXV que simula el comportamiento de un computador vectorial. Realizaremos la programación de la operación DAXPY ($Y = a \cdot X + Y$ en doble precisión) tanto para programación escalar como vectorial y compararemos resultado.

Metodología y plan de trabajo*Actividades de enseñanza-aprendizaje*

| Descripción | Modal. | Tipo | Duración | Temas | Objetivos |
|--|---------------|-------------|-----------------|--------------|------------------|
| 1. Plan docente de la asignatura | GG | C-E | 1 h | 1-5 | |
| 2. Concepto de arquitectura. Evolución y prestaciones. | GG | T | 2 h | 1.1, 1.2 | 1 |
| 3. El paralelismo en las arquitecturas. | GG | T | 1 h | 1.3 | 1 |
| 4. Evaluación de las prestaciones. | GG | T | 3 h | 1.4 | 1 |
| 5. Estudio y comprensión tema 1 | NP | T | 2 h | 1 | 1 |
| 6. Ejercicios de rendimiento y coste. | GG | T | 2 h | 1 | 1 |
| 7. Resolución ejercicios planteados. | NP | T | 2 h | 1 | 1 |
| 8. Lectura previa Tema 2. | NP | T | 3 h | 2 | 1, 3 |

EX

| | | | | | |
|--|----|---|-----|----------|------------|
| 9. WinDLX | S | P | 1 h | 1, 2 | 1, 3 |
| 10. Introducción y def. de segmentación. | GG | T | 1 h | 2.1 | 1, 3 |
| 11. Dependencias entre instrucciones y rendimiento | GG | T | 1 h | 2.2 | 1, 3 |
| 12. WinDLX. | S | P | 1 h | 2.1-2.4 | 1, 3 |
| 13. Riesgos estructurales. | GG | T | 1 h | 2.4 | 1, 3 |
| 14. Estudio del concepto de segmentación, rendimiento y riesgos estructurales. | NP | T | 3 h | 2.1-2.4 | 1, 3 |
| 15. Riesgos de datos. | GG | T | 2 h | 2.5 | 1, 3 |
| 16. Estudio de los riesgos de datos, y soluciones. | NP | T | 2 h | 2.5 | 1, 3 |
| 17. Tratamiento de los riesgos en WinDLX | S | P | 2 h | 2.5 | 1, 3 |
| 18. Riesgos de control | GG | T | 2 h | 2.6 | 1, 3 |
| 19. Estudio de los riesgos de control y soluciones. | NP | T | 2 h | 2.6 | 1, 3 |
| 20. Operaciones multiciclo | GG | T | 2 h | 2.7 | 1, 3 |
| 21. Estudio operaciones multiciclo | NP | T | 3 h | 2.7 | 1, 3 |
| 22. Ejercicios sobre procesamiento segmentado | GG | T | 1 h | 2 | 1, 3 |
| 23. Riesgos en WinDLX | S | P | 2 h | 2.7 | 1, 3, 9 |
| 24. Estudio comportamiento simulador WinDLX frente a diferentes riesgos | NP | P | 4 h | 2 | 1, 3 |
| 25. Operaciones multiciclo en WinDLX | S | P | 1 h | 2.6, 2.7 | 1, 3 |
| 26. Lectura previa tema 3 | NP | T | 3 h | 3 | 1-4 |
| 27. Introducción al ILP | GG | T | 1 h | 3.1, 3.2 | 1-4 |
| 28. Desenrollado de bucles. | GG | T | 1 h | 3.1, 3.2 | 1-4 |
| 29. Estudio conceptos iniciales ILP | NP | T | 1 h | 3.1, 3.2 | 1-4, 8 |
| 30. Procesamiento superescalar (1) | GG | T | 1 h | 3.2, 3.3 | 1-4 |
| 31. Estudio procesamiento superescalar | NP | T | 2 h | 3.2, 3.3 | 1-4 |
| 32. Dlxview. Procesamiento superescalar. | S | P | 1 h | 3.1-3.3 | 1-4, 6, 11 |
| 33. Procesamiento superescalar (2) | GG | T | 2 h | 3.2, 3.4 | 1-4 |
| 34. Estudio procesador escalar | NP | T | 2 h | 3.2, 3.4 | 1-4 |

| | | | | | |
|---|-----|-----|------|----------|---------------|
| 35. Instrucciones de Salto. | GG | T | 1 h | 3.2, 3.5 | 1-4 |
| 36. Instrucciones de Salto. | NP | T | 1 h | 3.2, 3.5 | 1-4 |
| 37. Ejemplos de procesador escalar. | GG | T | 1 h | 3.1-3.6 | 1-4, 6 |
| 38. Simulador Dlxview. Programación. | S | P | 2 h | 3 | 1-4, 6, 8, 11 |
| 39. Estudio comportamiento superescalar de Dlxview. | NP | T-P | 4 h | 3.7 | 1-4, 6 |
| 40. Lectura previa procesadores VLIW | NP | T | 2 h | 4 | 5 |
| 41. Introducción. | GG | T | 1 h | 4.1 | 5 |
| 42. Aprovechamiento paralelismo VLIW | GG | T | 1 h | 4.2 | 5 |
| 43. Recursos de apoyo al compilador | GG | T | 1 h | 4.3 | 5 |
| 44. Ejemplos VLIW | GG | T | 1 h | 4.4 | 5, 8 |
| 45. Estudio del concepto VLIW. | NP | T | 4 h | 4 | 5 |
| 46. Lectura previa tema 5 | NP | T | 2 h | 5 | 7 |
| 47. Introducción. Arquitecturas vectoriales. | GG | T | 1 h | 5.1, 5.2 | 7 |
| 48. Sistema de memoria | GG | T | 1 h | 5.3 | 7 |
| 49. Rendimiento | GG | T | 1 h | 5.4 | 7 |
| 50. Simulador arquitectura vectorial | S | P | 1 h | 5 | 7, 10 |
| 51. Eficiencia procesamiento vectorial | GG | T | 1 h | 5.5 | 7 |
| 52. Estudio arquitecturas vectoriales | NP | T | 4 h | 5 | 7 |
| 53. Estudio diferentes situaciones procesamiento vectorial en simulador vectorial | NP | P | 2 h | 5 | 7 |
| 54. Ejercicios sobre rendimiento y cálculo vectorial | GG | T | 2 h | 5 | 7 |
| 55. Simulador arquitectura vectorial | S | P | 2 h | 5 | 7 |
| 56. Resolución de los ejercicios planteados | NP | T | 3 h | 5 | 7 |
| 57. Tutorías ECTS | Tut | T-P | 1 h | 1-5 | 1-11 |
| 58. Preparación prueba de evaluación | NP | T-P | 15 h | 1-5 | 1-7 |
| 59. Prueba de evaluación | GG | C-E | 4 h | 1-5 | 1-7 |

Modalidad: GG = Grupo grande; S = Seminario - Laboratorio; Tut = Tutoría ECTS; NP = No presencial
 Tipo: C-E = Coordinación / evaluación; T = Teórica; P = Práctica; T-P = Teórica / práctica

EX

Criterios de evaluación

Criterios de evaluación

| Descripción | Objetivos |
|--|------------------|
| 1. Conocer el concepto de paralelismo tanto a nivel de software como a nivel de hardware y el incremento de prestaciones que aporta en ambos casos | 1, 2, 9 |
| 2. Saber aportar soluciones para el aumento de rendimiento, diferenciando soluciones a nivel de instrucciones frente a soluciones a nivel de datos. | 1, 2, 9 |
| 3. Conocer el funcionamiento de los procesadores segmentados, el rendimiento de dichos procesadores, los conceptos de riesgos, así como las soluciones que existen para evitarlos. | 1, 3, 9 |
| 4. El alumno debe conocer algún procesador superescalar, diferenciarlo frente a un procesador segmentado, y las diferentes técnicas ILP existentes. | 1, 2, 4, 6, 11 |
| 5. Procesadores VILW: Conceptos y diferencias de procesamiento frente a procesadores superescalares. Se deberá conocer el papel del compilador en los procesadores VLIW | 1, 5, 6 |
| 6. Conceptos de arquitectura vectorial Se deberá entender el papel del procesamiento vectorial en procesamiento de instrucciones y datos. Deberá conocer una estimación del rendimiento de una arquitectura vectorial, así como los detalles de dicha arquitectura, y las soluciones aportadas frente a los problemas de ejecución de las instrucciones vectoriales. | 1, 2, 7, 10 |
| 7. El alumno deberá distinguir la arquitectura de un procesador, caracterizando el tipo de paralelismo que implementa y que pueda soportar | 9-11 |

Actividades e instrumentos de evaluación

| Grupo grande | C. Calif. |
|---|------------------|
| Prueba escrita. El alumno deberá resolver una serie de preguntas relacionadas con el contenido teórico desarrollado en la modalidad de GG. Para aquellas cuestiones en las que sea necesaria la utilización de un modelo o ejemplo concreto de procesador (segmentado, vectorial, superescalar) se utilizarán aquellos que se expliquen e implementen en los distintos simuladores empleados en las sesiones de Laboratorio. Esta prueba escrita se realizará en la fecha y hora indicados por la Subdirección del Centro correspondiente. | 75 %, E |
| Valoración de los ejercicios y cuestiones que el alumno resuelva, y que se plantean en el aula, en el desarrollo de las enseñanzas teóricas. A lo largo de las sesiones de GG, se plantearán ejercicios y cuestiones análogas a las realizadas y explicadas en clase, con el objetivo de asimilación de los conocimientos teóricos. La solución de los mismos implica una evaluación positiva. Para ello el alumno deberá entregar periódicamente (dos o tres días después de las sesiones de GG en las que se planteen los ejercicios y cuestiones) la resolución detallada de los mismos. | 10 %, NR |

EX

| | |
|--|------------------|
| Seminario - Laboratorio | C. Calif. |
| Valoración de la asistencia y participación del alumno en las enseñanzas programadas de tipo laboratorio, Valoración de los ejercicios y cuestiones que el alumno resuelva, y que se plantean en el Laboratorio, en el desarrollo de las enseñanzas prácticas. A lo largo de las sesiones de Seminario/Laboratorio se plantearán ejercicios y cuestiones análogas a las realizadas y explicadas en el Seminario/Laboratorio, con el objetivo de asimilación de los conocimientos prácticos. La solución de los mismos implica una evaluación positiva. Para ello el alumno deberá entregar periódicamente (dos o tres días después de las sesiones de Seminario/Laboratorio en las que se planteen los ejercicios y cuestiones) la resolución detallada de los mismos. | 10 %, NR |
| Tutoría ECTS | C. Calif. |
| Exposición de los procedimientos, métodos, problemas y soluciones aportadas, dudas, etc., que ha surgido durante y en el transcurso de la resolución de los ejercicios y cuestiones que el alumno debe completar, tanto para la enseñanza de GG como para Seminario/Laboratorio. La fecha de realización coincidirá con las enseñanzas programadas de Tutoría ECTS | 5 %, NR |
| NR = No recuperable; E = Eliminatória; V = Voluntaria; R = Requisito para otra actividad | |

Bibliografía

Bibliografía seleccionada

Arquitectura de computadores.
J. Ortega, M. Anguita, A. Prieto.
Ed.: Thomson. 2005.

Organización de computadores.
Hamacher, Vranesic, Zaky.
Ed: McGraw Hill. 5ª edición 2003.

Computer Architecture. A quantitative approach.
Hennessy & Patterson. 3ª edición
Ed: Morgan Kauffman. 2003.

Documentación de lectura obligatoria o de ampliación

Documentación de lectura obligatoria:

Resúmenes en formato PDF de cada uno de los temas, tanto de su parte teórica como práctica, elaborados por el profesor.

EX

| Tutorías Primer Cuatrimestre. | | |
|--------------------------------------|----------------------|--|
| | Horario | Lugar |
| Lunes | 11 horas a 13 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Martes | 20 horas a 22 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Miércoles | 13 horas a 14 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Jueves | 11 horas a 12 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Viernes | | Despacho 12 Medio de contacto jangelgm@unex.es |

| Tutorías Segundo Cuatrimestre. | | |
|---------------------------------------|--|--|
| | Horario | Lugar |
| Lunes | 11 horas a 12 horas. 13 horas a 14 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Martes | 19 horas a 21 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Miércoles | 13 horas a 14 horas. 18 horas a 19 horas. | Despacho 12 Medio de contacto Tel.: 924387008 Ext.82531 |
| Jueves | | Despacho 12 Medio de contacto jangelgm@unex.es |
| Viernes | | Despacho 12 Medio de contacto jangelgm@unex.es |